

#4

PATENT
Docket No. 492322002500

jc903 U.S. PTO
09/988227
11/19/01

CERTIFICATE OF HAND DELIVERY

I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on November 19, 2001.

Melissa Garton
Melissa Garton

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Yusuke TSUTSUI

Serial No.: Not yet assigned

Filing Date: November 19, 2001

For: ACTIVE MATRIX DISPLAY DEVICE

Examiner: Not yet assigned

Group Art Unit: Not yet assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC 119, Applicant hereby claims the benefit of the filing of Japanese patent application No. 2000-351250, filed November 17, 2000.

A certified copy of the priority document is attached to perfect Applicant's claim for priority.

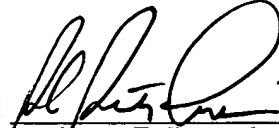
It is respectfully requested that the receipt of this certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicant petitions for any required relief including extensions of time and authorizes the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to

Deposit Account No. 03-1952 and reference Docket No. 492322002500. However, the Commissioner is not authorized to charge the cost of the issue fee to the Deposit Account.

Dated: November 19, 2001

Respectfully submitted,

By: 
Barry E. Bretschneider
Registration No. 28,055

Morrison & Foerster LLP
2000 Pennsylvania Avenue, N.W.
Washington, D.C. 20006-1888
Telephone: (202) 887-1545
Facsimile: (202) 887-0763

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC903 U.S. PTO
09/986227
11/19/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年11月17日

出 願 番 号
Application Number:

特願2000-351250

出 願 人
Applicant(s):

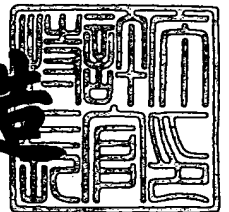
三洋電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3089328

Best Available Copy

【書類名】 特許願

【整理番号】 KHB1000045

【提出日】 平成12年11月17日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 筒井 雄介

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 横山 良一

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 松本 昭一郎

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話03-3837-7751 法務・知的財産部 東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス型表示装置

【特許請求の範囲】

【請求項 1】 行列状に配置された複数の画素電極、前記画素電極に対応して配置された複数の保持回路を備え、
随時入力される映像信号に応じた画素電圧を前記画素電極に随時印加して表示する通常動作モードと、前記保持回路が記憶したデータに応じて表示するメモリ動作モードとを有するアクティブマトリクス型表示装置において、
前記保持回路は、複数画素に 1 つ配置され、
前記保持回路それぞれの出力は、複数の画素電極に供給されることを特徴とするアクティブマトリクス型表示装置。

【請求項 2】 前記保持回路は 2 画素に 1 つの割合で配置され、
前記保持回路の出力は、2 つの画素電極に供給されることを特徴とする請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 3】 前記保持回路は 4 画素に 1 つの割合で配置され、
前記保持回路の出力は、4 つの画素電極に供給されることを特徴とする請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 4】 行列状に配置された複数の画素電極、前記画素電極に対応して配置された複数の保持回路を備え、
随時入力される映像信号に応じた画素電圧を前記画素電極に随時印加して表示する通常動作モードと、前記保持回路が記憶したデータに応じて表示するメモリ動作モードとを有するアクティブマトリクス型表示装置において、
前記保持回路の数は、前記画素電極の数に比較して少ないことを特徴とするアクティブマトリクス型表示装置。

【請求項 5】 前記保持回路の数は、前記画素電極の数の $1/2$ であることを特徴とする請求項 4 に記載のアクティブマトリクス型表示装置。

【請求項 6】 前記保持回路の数は、前記画素電極の数の $1/4$ であることを特徴とする請求項 4 に記載のアクティブマトリクス型表示装置。

【請求項 7】 行列状に配置された複数の画素電極、前記画素電極に対応し

て配置された複数の保持回路を備え、

随時入力される映像信号に応じた画素電圧を前記画素電極に随時印加して表示する通常動作モードと、前記保持回路が記憶したデータに応じて表示するメモリ動作モードとを有するアクティブマトリクス型表示装置において、
前記前記メモリ動作モード時の表示画素数は前記通常動作モード時の表示画素数よりも少ないことを特徴とするアクティブマトリクス型表示装置。

【請求項 8】 前記メモリ動作モード時の画素数は、前記通常動作モード時の画素数の $1/2$ であることを特徴とする請求項 7 に記載のアクティブマトリクス表示装置。

【請求項 9】 前記メモリ動作モード時の画素数は、前記通常動作モード時の画素数の $1/4$ であることを特徴とする請求項 7 に記載のアクティブマトリクス表示装置。

【請求項 10】 前記保持回路は 3 値以上のデータを保持する多ビットのメモリであることを特徴とする請求項 1 乃至請求項 9 のいずれかに記載のアクティブマトリクス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス型表示装置に関するものであり、特に画素に対応して複数の保持回路が設けられたアクティブマトリクス型表示装置に関するものである。

【0002】

【従来の技術】

近年、表示装置は携帯可能な表示装置、例えば携帯テレビ、携帯電話等が市場ニーズとして要求されている。かかる要求に応じて表示装置の小型化、軽量化、省消費電力化に対応すべく研究開発が盛んに行われている。

【0003】

図 8 に従来例に係る液晶表示装置 (Liquid Crystal Display; LCD) の一画素電極の回路構成図を示す。絶縁性基板 (不図示) 上に、ゲート信号線 51、ド

レイン信号線 6 1 とが交差して形成されており、その交差部近傍に両信号線 5 1、6 1 に接続された選択画素選択 T F T 7 0 が設けられている。選択画素選択 T F T 7 0 のソース 7 0 s は液晶 2 1 の画素電極 1 7 に接続されている。

【 0 0 0 4 】

また、画素電極 1 7 の電圧を 1 フィールド期間、保持するための補助容量 8 5 が設けられており、この補助容量 8 5 の一方の端子 8 6 は選択画素選択 T F T 7 0 のソース 7 0 s に接続され、他方の電極 8 7 には各画素電極に共通の電位が印加されている。

【 0 0 0 5 】

ここで、ゲート信号線 5 1 にゲート信号が印加されると、選択画素選択 T F T 7 0 はオン状態となり、ドレイン信号線 6 1 からアナログ映像信号が画素電極 1 7 に伝達されると共に、補助容量 8 5 に保持される。画素電極 1 7 に印加された映像信号電圧が液晶 2 1 に印加され、その電圧に応じて液晶 2 1 が配向する。このような画素電極をマトリクス状に配置することにより L C D を得ることができる。

【 0 0 0 6 】

従来の L C D は、動画像、静止画像に関係なく表示を得ることができる。かかる L C D に静止画像を表示する場合、例えば携帯電話の液晶表示部の一部に携帯電話を駆動するためのバッテリーの残量表示として、乾電池の画像を表示することになる。

【 0 0 0 7 】

しかしながら、上述した構成の液晶表示装置においては、静止画像を表示する場合であっても、動画像を表示する場合と同様に、ゲート信号で選択画素選択 T F T 7 0 をオン状態にして、映像信号を各画素電極に再書き込みする必要が生じていた。

【 0 0 0 8 】

そのため、ゲート信号及び映像信号等の駆動信号を発生するためのドライバ回路、及びドライバ回路の動作タイミングを制御するための各種信号を発生する外部 L S I は常時動作するため、常に大きな電力を消費していた。このため、限ら

れた電源しか備えていない携帯電話等では、その使用可能時間が短くなるという欠点があった。

【 0 0 0 9 】

これに対して、各画素電極にスタティック型メモリを備えた液晶表示装置が特開平 8 - 1 9 4 2 0 5 号に開示されている。同公報の一部を引用して説明する。図 9 は特開平 8 - 1 9 4 2 0 5 号に開示されている保持回路付きアクティブマトリクス型表示装置の平面回路構成図である。ゲート信号線 5 1 と参照線 5 2 が行方向に、ドレイン信号線 6 1 が列方向に、それぞれ複数配置されている。そして、保持回路 5 4 と画素電極 1 7 間には T F T 5 3 が設けられている。保持回路 5 4 に保持されたデータに基づいて表示を行うことにより、ゲートドライバ 5 0、ドレインドライバ 6 0 を停止して消費電力を低減するものである。

【 0 0 1 0 】

図 1 0 はこの液晶表示装置の一面素を示す回路構成図である。基板上に画素電極がマトリクス状に配置されており、画素電極 1 7 間には紙面左右方向にゲート信号線 5 1 が、上下方向にドレイン信号線 6 1 が配置されている。そしてゲート信号線 5 1 と平行に参照線 5 2 が配置され、ゲート信号線 5 1 とドレイン信号線 6 1 の交差部に保持回路 5 4 が設けられ、保持回路 5 4 と画素電極 1 7 間にはスイッチ素子 5 3 が設けられている。保持回路 5 4 は 2 段インバータ 5 5, 5 6 を正帰還させた形のメモリ、即ちスタティック型メモリ (Static Random Access Memory; S R A M) をデジタル映像信号の保持回路として用いる。特に S R A M は、D R A M と異なり、データの保持にリフレッシュを必要としないので好適である。

【 0 0 1 1 】

ここで、スタティック型メモリに保持された 2 値デジタル信号に応じて、スイッチ素子 5 3 は参照線 V r e f と画素電極 1 7 との間の抵抗値を、保持回路 5 4 の出力に応じて制御し、液晶 2 1 のバイアス状態を調整している。一方、共通電極には交流信号 V c o m を入力する。本装置は理想上、静止画像のように表示画像に変化がなければ、メモリへのリフレッシュは不要である。

【 0 0 1 2 】

【発明が解決しようとする課題】

しかしながら、保持回路 5 4 にスタティック R A M を用いると、保持回路を構成するトランジスタの数は 4 つもしくは 6 つと多く、回路面積が大きい。そのようなスタティック R A M を画素電極 1 7 の間に配置すると、画素電極 1 7 の面積が小さくなって液晶表示装置の開口率が低下するか、一つの画素サイズを大きくせざるをえずに高精細化が困難であるという問題があった。

【0 0 1 3】

そこで、本発明は、保持回路を有する表示装置において、特に通常の表示を行う時により高精細なアクティブマトリクス型表示装置を得ることを目的とする。

【0 0 1 4】

【課題を解決するための手段】

本発明は上記課題を解決するために成されたものであり、行列状に配置された複数の画素電極、画素電極に対応して配置された複数の保持回路を備え、随時入力される映像信号に応じた画素電圧を画素電極に随時印加して表示する通常動作モードと、保持回路が記憶したデータに応じて表示するメモリ動作モードとを有するアクティブマトリクス型表示装置において、保持回路は、複数画素に 1 つ配置され、保持回路の一つからの出力は、複数の画素電極に供給されるアクティブマトリクス型表示装置である。

【0 0 1 5】

さらに、保持回路は 2 画素に 1 つの割合で配置され、保持回路の出力は、2 つの画素電極に供給される。

【0 0 1 6】

さらに、保持回路は 4 画素に 1 つの割合で配置され、保持回路の出力は、4 つの画素電極に供給される。

【0 0 1 7】

また、行列状に配置された複数の画素電極、画素電極に対応して配置された複数の保持回路を備え、随時入力される映像信号に応じた画素電圧を画素電極に随時印加して表示する通常動作モードと、保持回路が記憶したデータに応じて表示するメモリ動作モードとを有するアクティブマトリクス型表示装置において、保

持回路の数は、画素電極の数に比較して少ないアクティブマトリクス型表示装置である。

【0 0 1 8】

さらに、保持回路の数は、画素電極の数の $1/2$ である。

【0 0 1 9】

さらに、保持回路の数は、画素電極の数の $1/4$ である。

【0 0 2 0】

また、行列状に配置された複数の画素電極、画素電極に対応して配置された複数の保持回路を備え、随時入力される映像信号に応じた画素電圧を画素電極に随時印加して表示する通常動作モードと、保持回路が記憶したデータに応じて表示するメモリ動作モードとを有するアクティブマトリクス型表示装置において、メモリ動作モード時の表示画素数は通常動作モード時の表示画素数よりも少ないアクティブマトリクス型表示装置である。

【0 0 2 1】

さらに、メモリ動作モード時の画素数は、通常動作モード時の画素数の $1/2$ である。

【0 0 2 2】

さらに、メモリ動作モード時の画素数は、通常動作モード時の画素数の $1/4$ である。

【0 0 2 3】

さらに、前記保持回路は 3 値以上のデータを保持する多ビットのメモリである。

【0 0 2 4】

【発明の実施の形態】

本発明の第 1 の実施形態に係る表示装置について説明する。図 1 に本発明の表示装置を液晶表示装置に応用した場合の回路構成図を示す。

【0 0 2 5】

液晶表示パネル 1 0 0 には、絶縁基板 1 0 上に複数の画素電極 1 7 がマトリックス状に配置されている。そして、ゲート信号を供給するゲートドライバ 5 0 に

接続された複数のゲート信号線 5 1 が一方向に配置されており、これらのゲート信号線 5 1 と交差する方向に複数のド레인信号線 6 1 が配置されている。

【 0 0 2 6 】

ド레인信号線 6 1 には、ドレインドライバ 6 0 から出力されるサンプリングパルスのタイミングに応じて、サンプリングトランジスタ S P 1, S P 2, …, S P n がオンし、データ信号線 6 2 のデータ信号（アナログ映像信号又はデジタル映像信号）が供給される。

【 0 0 2 7 】

ゲートドライバ 5 0 は、あるゲート信号線 5 1 を選択し、これにゲート信号を供給する。選択された行の画素電極 1 7 にはド레인信号線 6 1 からデータ信号が供給される。

【 0 0 2 8 】

以下、各画素の詳細な構成について説明する。ゲート信号線 5 1 とド레인信号線 6 1 の交差部近傍には、Pチャネル型回路選択 T F T 4 1 及びNチャネル型回路選択 T F T 4 2 から成る回路選択回路 4 0 が設けられている。回路選択 T F T 4 1, 4 2 の両ドレインはド레인信号線 6 1 に接続されると共に、それらの両ゲートは回路選択信号線 8 8 に接続されている。回路選択 T F T 4 1, 4 2 は、選択信号線 8 8 からの選択信号に応じていずれか一方がオンする。また、後述するように回路選択回路 4 0 と対を成して、回路選択回路 4 3 が設けられている。回路選択回路 4 0、4 3 は、それぞれのトランジスタが相補的に動作すればよく、Pチャネル、Nチャネルは逆でももちろんよい。また、回路選択回路 4 0、4 3 はいずれか一方のみを省略することもできる。

【 0 0 2 9 】

これにより、後述する通常動作モードであるアナログ映像信号表示（フルカラー動画像対応）とメモリ動作モードであるデジタル映像表示（低消費電力、静止画像対応）とを選択して切換えることが可能となる。また、回路選択回路 4 0 に隣接して、Nチャネル型画素選択 T F T 7 1 及びNチャネル型 T F T 7 2 から成る画素選択回路 7 0 が配置されている。画素選択 T F T 7 1, 7 2 はそれぞれ回路選択回路 4 0 の回路選択 T F T 4 1, 4 2 と縦列に接続されると共に、それら

のゲートにはゲート信号線 5 1 が接続されている。画素選択 T F T 7 1, 7 2 はゲート信号線 5 1 からのゲート信号に応じて両方が同時にオンするように構成されている。画素選択回路 7 0 は回路選択回路 4 0 よりもドレイン信号線 6 1 側に配置しても良い。この場合、画素選択 T F T 7 1, 7 2 を 1 個の T F T で代用することもできる。

【 0 0 3 0 】

また、アナログ映像信号を保持するための補助容量 8 5 が設けられている。補助容量 8 5 の一方の電極は画素選択 T F T 7 1 のソースに接続されている。他方の電極は共通の補助容量線 8 7 に接続され、バイアス電圧 V_{sc} が供給されている。また、画素選択 T F T 7 1 のソースは回路選択 T F T 4 4 及びコンタクト 1 6 を介して画素電極 1 7 に接続されている。ゲート信号によって画素選択 T F T 7 0 のゲートが開くと、ドレイン信号線 6 1 から供給されるアナログ映像信号はコンタクト 1 6 を介して画素電極 1 7 に入力され、画素電圧として液晶を駆動する。画素電圧は画素選択 T F T 7 1 の選択が解除され、次に再び選択されるまでの 1 フィールド期間保持されなければならないが、液晶の容量のみでは、画素電圧は時間経過とともに次第に低下してしまい、1 フィールド期間十分に保持されない。そうすると、その画素電圧の低下が表示むらとして現れてしまい良好な表示が得られなくなる。そこで画素電圧を 1 フィールド期間保持するために補助容量 8 5 を設けている。

【 0 0 3 1 】

この補助容量 8 5 と画素電極 1 7 との間には、回路選択回路 4 3 の P チャネル型 T F T 4 4 が設けられ、回路選択回路 4 3 の回路選択 T F T 4 1 と同時にオンオフするように構成されている。回路選択 T F T 4 1 がオンし、アナログ信号を随時供給して液晶を駆動する動作モードを通常動作モード、もしくはアナログ動作モードと呼ぶ。

【 0 0 3 2 】

また、画素選択回路 7 0 の T F T 7 2 と画素電極 1 7 との間には、保持回路 1 1 0 が設けられている。保持回路 1 1 0 は、正帰還された 2 つのインバータ回路と信号選択回路 1 2 0 から成り、デジタル 2 値を保持するスタティック型メモリ

を構成している。

【 0 0 3 3 】

また、信号選択回路 1 2 0 は、2 つのインバータからの信号に応じて信号を選択する回路であって、2 つの N チャネル型 T F T 1 2 1、1 2 2 で構成されている。T F T 1 2 1、1 2 2 のゲートには2 つのインバータからの相補的な出力信号がそれぞれ印加されているので、T F T 1 2 1、1 2 2 は相補的にオンオフする。

【 0 0 3 4 】

ここで、T F T 1 2 2 がオンすると直流電圧の対向電極信号 VCOM (信号 A) が選択され、T F T 1 2 1 がオンするとその対向電極信号 VCOM を中心とした交流電圧であって液晶を駆動するための交流駆動信号 (信号 B) が選択され、回路選択回路 4 3 の T F T 4 5 を介して、液晶 2 1 の画素電極 1 7 に供給される。回路選択 T F T 4 2 がオンし、保持回路 1 1 0 に保持されたデータに基づいて表示をする動作モードをメモリモードもしくはデジタル動作モードと呼ぶ。

【 0 0 3 5 】

上述した構成を要約すれば、画素選択素子である画素選択 T F T 7 1 及びアナログ映像信号を保持する補助容量 8 5 から成る回路 (アナログ表示回路) と、画素選択素子である T F T 7 2、2 値のデジタル映像信号を保持する保持回路 1 1 0 から成る回路 (デジタル表示回路) とが1 つの画素電極内に設けられ、更に、これら2 つの回路を選択するための回路選択回路 4 0、4 3 が設けられている。

【 0 0 3 6 】

次に、液晶パネル 1 0 0 の周辺回路について説明する。液晶パネル 1 0 0 の絶縁性基板 1 0 とは別基板の外付け回路基板 9 0 には、パネル駆動用 L S I 9 1 が設けられている。この外付け回路基板 9 0 のパネル駆動用 L S I 9 1 から垂直スタート信号 S T V がゲートドライバ 5 0 に入力され、水平スタート信号 S T H がドレインドライバ 6 0 に入力される。また映像信号がデータ線 6 2 に入力される。

【 0 0 3 7 】

次に、上述した構成の表示装置の駆動方法について説明する。

(1) 通常動作モード（アナログ動作モード）の場合

モード信号に応じて、アナログ表示モードが選択されると、L S I 9 1 はデータ信号線 6 2 にアナログ信号を供給する状態に設定されると共に、回路選択信号線 8 8 の電位が「L」となり、回路選択回路 4 0, 4 3 の回路選択 T F T 4 1, 4 3 がオンし、回路選択 T F T 4 2, 4 5 がオフする。

【0 0 3 8】

また、水平スタート信号 S T H に基づくサンプリング信号に応じてサンプリングトランジスタ S P が順次オンしデータ信号線 6 2 のアナログ映像信号がドレイン信号線 6 1 に供給される。

【0 0 3 9】

また、垂直スタート信号 S T V に基づいて、ゲート信号がゲート信号線 5 1 に供給される。ゲート信号に応じて、画素選択 T F T 7 1 がオンすると、ドレイン信号線 6 1 からアナログ映像信号 A n . S i g が画素電極 1 7 に伝達されると共に、補助容量 8 5 に保持される。画素電極 1 7 に印加された映像信号電圧が液晶 2 1 に印加され、その電圧に応じて液晶 2 1 が配向することにより液晶表示を得ることができる。

【0 0 4 0】

このアナログ表示モードでは、随時入力されるアナログ信号に応じて随時液晶を駆動するので、フルカラーの動画像を表示するのに好適である。ただし、外付け回路基板 9 0 の L S I 9 1、各ドライバ 5 0, 6 0 にはそれらを駆動するために、絶えず電力が消費されている。

(2) メモリ動作モード（デジタル表示モード）の場合

モード信号に応じて、デジタル表示モードが選択されると、L S I 9 1 は映像信号をデジタル変換して上位 1 ビットを抽出したデジタルデータをデータ信号線 6 2 に出力する状態に設定されると共に、回路選択信号線 8 8 の電位が「H」となり、保持回路 1 1 0 が有効な状態になる。また、回路選択回路 4 0, 4 3 の回路選択 T F T 4 1, 4 4 がオフすると共に、回路選択 T F T 4 2, 4 5 がオンする。

【0 0 4 1】

また、外付け回路基板 9 0 のパネル駆動用 L S I 9 1 から、ゲートドライバ 5 0 及びドレインドライバ 6 0 にスタート信号 S T H が入力される。それに応じてサンプリング信号が順次発生し、それぞれのサンプリング信号に応じてサンプリングトランジスタ S P 1, S P 2, ..., S P n が順にオンしてデジタル映像信号 D. S i g をサンプリングして各ドレイン信号線 6 1 に供給する。

【 0 0 4 2 】

ここで第 1 行、即ちゲート信号 G 1 が印加されるゲートドレイン信号線 6 1 について説明する。まず、ゲート信号 G 1 によってゲートドレイン信号線 6 1 に接続された各画素電極の各画素選択 T F T 7 2 が 1 水平走査期間オンする。第 1 行第 1 列の画素電極に注目すると、サンプリング信号 S P 1 によってサンプリングしたデジタル映像信号 S 1 1 がドレイン信号線 6 1 に入力される。そして選択画素選択 T F T 7 2 がゲート信号によってオン状態になるとそのデジタル信号 D. S i g が保持回路 1 1 0 に入力され、2 つのインバータによって保持される。

【 0 0 4 3 】

このインバータで保持された信号は、信号選択回路 1 2 0 に入力されて、この信号選択回路 1 2 0 で信号 A 又は信号 B を選択して、その選択した信号が画素電極 1 7 に印加され、その電圧が液晶 2 1 に印加される。

【 0 0 4 4 】

こうして 1 行目のゲート信号線から最終行のゲート信号線まで走査することにより、1 画面分（1 フィールド期間）のスキヤン、即ち全ドットスキヤンが終了し 1 画面が表示される。

【 0 0 4 5 】

ここで、1 画面が表示されると、ゲートドライバ 5 0 並びにドレインドライバ 6 0 及び外付けのパネル駆動用 L S I 9 1 への電圧供給を停止しそれらの駆動を止める。保持回路 1 1 0 には常に駆動電圧 V D D, V S S を供給して駆動し、また対向電極電圧を対向電極 3 2 に、各信号 A 及び B を選択回路 1 2 0 に供給する。

【 0 0 4 6 】

即ち、保持回路 1 1 0 にこの保持回路を駆動するための駆動電圧 V D D, V S S を供給し、対向電極には対向電極電圧 V C O M を印加し、液晶表示パネル 1 0 0 がノ

ーマリーホワイト（NW）の場合には、信号Aには対向電極電圧と同じ電位の交流駆動電圧を印加し、信号Bには液晶を駆動するための交流電圧（例えば60Hz）を印加するのみである。そうすることにより、1画面分を保持して静止画像として表示することができる。また他のゲートドライバ50、ドレインドライバ60及び外付けLSI91には電圧が印加されていない状態である。

【0047】

このとき、ドレイン信号線61にデジタル映像信号で「H（ハイ）」が保持回路110に入力された場合には、信号選択回路120において第1のTFT121には「L」が入力されることになるので第1のTFT121はオフとなり、他方の第2のTFT122には「H」が入力されることになるので第2のTFT122はオンとなる。そうすると、信号Bが選択されて液晶には信号Bの電圧が印加される。即ち、信号Bの交流電圧が印加され、液晶が電界によって立ち上がるため、NWの表示パネルでは表示としては黒表示として観察できる。

【0048】

ドレイン信号線61にデジタル映像信号で「L」が保持回路110に入力された場合には、信号選択回路120において第1のTFT121には「H」が入力されることになるので第1のTFT121はオンとなり、他方の第2のTFT122には「L」が入力されることになるので第2のTFT122はオフとなる。そうすると、信号Aが選択されて液晶には信号Aの電圧が印加される。即ち、対向電極32と同じ電圧が印加されるため、電界が発生せず液晶は立ち上がらないため、NWの表示パネルでは表示としては白表示として観察できる。

【0049】

このように、1画面分を書き込みそれを保持することにより静止画像として表示できるが、その場合には、各ドライバ50、60及びLSI91の駆動を停止するので、その分低消費電力化することができる。

【0050】

上記実施形態では、保持回路110は1ビットのみを保持するが、もちろん保持回路110を多ビット化すれば、メモリ動作モードで階調表示を行うこともできるし、保持回路110をアナログ値を記憶するメモリとすれば、メモリ動作モ

ードでのフルカラー表示もできる。

【 0 0 5 1 】

上述したように、本発明の実施形態によれば、1つの液晶表示パネル100でフルカラーの動画像表示（アナログ表示モードの場合）と、低消費電力のデジタル階調表示（デジタル表示モードの場合）という2種類の表示に対応することができる。

【 0 0 5 2 】

次に、第1の実施形態のレイアウトについて、図2を用いて説明する。図2は本実施形態のレイアウトを示す概念図である。回路選択回路のPチャネル回路選択TFT41、NチャネルTFT42、画素選択回路のNチャネル画素選択TFT71、72、回路選択回路のPチャネルTFT44が直列に接続され、画素電極17にコンタクト16を介して接続されているとともに補助容量85に接続されている。また、回路選択TFT42、画素選択TFT72、保持回路110、回路選択回路のNチャネルTFT45がコンタクト16を介して画素電極17に接続されている。以上の構成はいずれも画素電極17に重畳して配置されている。なお、保持回路110に接続される各電源線は省略した。本実施形態は、各画素毎に保持回路110が配置されている。

【 0 0 5 3 】

ところで、本実施形態のLCDは反射型LCDである。本実施形態の反射型LCDの図2A-A'線断面図を図3に示す。一方の絶縁性基板10上に、多結晶シリコンから成り島化された半導体層11が配置され、その上をゲート絶縁膜12が覆って配置されている。半導体層11の上方であってゲート絶縁膜12上にはゲート電極13が配置され、このゲート電極13の両側に位置する下層の半導体層11には、ソース及びドレインが形成されている。ゲート電極13及びゲート絶縁膜12上にはこれらを覆って層間絶縁膜14が形成されている。そしてそのドレイン及びソースに対応した位置にはコンタクトが形成されており、そのコンタクトを介してドレインは画素選択TFT71に、ソースはコンタクト16を介して画素電極17に、それぞれ接続されている。平坦化絶縁膜15上に形成された各表示電極17はアルミニウム（A1）等の反射材料から成っている。各表

示電極 1 7 及び平坦化絶縁膜 1 5 上には液晶 2 1 を配向するポリイミド等から成る配向膜 2 0 が形成されている。

【 0 0 5 4 】

他方の絶縁性基板 3 0 上には、赤 (R)、緑 (G)、青 (B) の各色を呈するカラーフィルタ 3 1、ITO (Indium Tin Oxide) 等の透明導電性膜から成る対向電極 3 2、及び液晶 2 1 を配向する配向膜 3 3 が順に形成されている。もちろんカラー表示としない場合には、カラーフィルタ 3 1 は不要である。

【 0 0 5 5 】

こうして形成された一对の絶縁性基板 1 0、3 0 の周辺を接着性シール材によって接着し、それによって形成された空隙に液晶 2 1 が充填されている。

【 0 0 5 6 】

反射型 LCD では、図中点線矢印で示すように、絶縁性基板 3 0 側から入射した外光が表示電極 1 7 によって反射されて、観察者 1 側に出射し、表示を観察することができる。

【 0 0 5 7 】

次に、本発明の第 2 の実施形態について説明する。一般的に、表示装置には、高精細化、即ち画素数を増やしたり、画素数を維持したまま小型化したりする要求がある。しかし、保持回路 1 1 0 は、第 1 の実施形態で示したように、SRAM で構成されている。SRAM は複数の TFT の組み合わせによって構成できる保持回路であり、動作電圧も低いため、表示装置の駆動回路とともにガラス基板上に作り込むには適した保持回路である。一方、SRAM 一つを構成するのに必要なトランジスタは 4 つ乃至 6 つであり、一定の回路面積を必要とする。そのような保持回路 1 1 0 を各画素毎に配置すれば、画素ピッチは少なくともこの保持回路 1 1 0 が入る大きさとする必要があり、保持回路 1 1 0 を有さない通常の表示装置の画素ピッチに比較して数倍の大きさが必要となる。これに対し本実施形態では、複数画素に 1 つの割合で保持回路を配置し、より高精細化するものである。

【 0 0 5 8 】

図 4 に本発明のレイアウト概念図を示す。図 4 には、画素電極 1 7 a、1 7 b

に対応する 2 画素が示されている。画素電極 1 7 a、1 7 b それぞれに回路選択 T F T 4 1、画素選択 T F T 7 1、回路選択 T F T 4 4 が直列に接続されているとともに補助容量 8 5 が接続されている。以上の構成は第 1 の実施形態と全く同様である。以降、これらの構成を総称して通常動作回路と言うことがある。この通常動作回路によって、通常動作モード（アナログ動作モード）時、各画素毎に表示を行う。各列毎に配置されたドレイン信号線 6 1 からそれぞれの画素に対応した映像信号が画素電極 1 7 a、1 7 b に入力され、各画素毎の表示を行う。

【 0 0 5 9 】

本実施形態の特徴とするところは、保持回路 1 1 0 が 2 画素にまたがって配置されており、2 画素で 1 つの保持回路 1 1 0 を共有している点にある。以下に、この点について詳しく説明する。

【 0 0 6 0 】

保持回路 1 1 0 は、回路選択 T F T 4 2 を介してドレイン信号線 6 1 a に接続され、保持回路 1 1 0 から出力される映像信号は、回路選択 T F T 4 5 a、4 5 b を介してそれぞれの画素電極 1 7 a、1 7 b に入力される。そして、通常動作モードの時に画素電極 1 7 b に映像信号を供給していたドレイン信号線 6 1 b には保持回路 1 1 0 は接続されていない。そして、図示しないドレインドライバ 6 0 はドレイン信号線 6 1 に対して一本おきに出力する。また、出力する映像信号は、2 本のドレイン信号線 6 1 の映像信号より算出される中間値に応じた信号である。

【 0 0 6 1 】

即ち、メモリ動作モード（デジタル表示モード）の場合、2 つの画素電極 1 7 a、1 7 b には通常動作モード時にこれらに供給される映像信号の中間の映像信号が共通して供給され、ドレイン信号線 6 1 b はとばされるので、画素電極 1 7 a と 1 7 b とは、いわば一つの画素として振る舞う。このように、2 画素を 1 画素として扱い、擬似的に「画素数」を落として表示を行う。

【 0 0 6 2 】

本実施形態によれば、回路面積を必要とする保持回路 1 1 0 を二つの画素で共有しているので、画素配置をより密に、即ち表示装置をより高精細にすることが

できる。また、メモリ動作モード時に動作させるSRAMの数は、通常モード時の画素数の $1/2$ 、特に、列数が $1/2$ である。従って、ドレインドライバ60の動作周波数をさらに低くすることが可能であり、各画素にSRAMを配置する第1の実施形態に比較して、SRAMの数が少ないので、メモリ動作モード時に移行する時の書き込むSRAMの数が少なく、また、メモリ動作モード時にSRAMの洩れ電流が少ないので、消費電力をさらに削減することができる。

【0063】

次に、本発明の第3の実施形態について説明する。図5に本発明のレイアウト概念図を示す。図5には、4画素が示されている。画素電極17a、17b、17c、17dそれぞれに回路選択TFT41、画素選択TFT71、回路選択TFT44、補助容量85よりなる通常動作回路が配置されている。

【0064】

第3の実施形態の特徴とするところは、4画素で1つの保持回路110を共有している点である。そして、保持回路110の出力は、回路選択TFT45a、45b、45c、45dを介してそれぞれの画素電極17a、17b、17c、17dに供給される。各構成要件は第1、第2の実施形態と同様であるので詳述は省略する。

【0065】

また、本実施形態において、図面1行目と2行目の画素に配置される回路選択TFT41、画素選択TFT71、回路選択TFT44、補助容量85の配置を比較すると、行間を軸として線対称に配置されている。これによって、各画素の行間側の領域に保持回路110のためのまとまったスペースを確保している。

【0066】

本実施形態においても、通常動作モードの場合は、通常動作回路を用いて各画素毎に表示を行う。そして、メモリ動作モード時には、4画素を一つの画素として、画素数を落とした表示を行う。本実施形態において、一つの画素電極に配置されるのは保持回路の $1/4$ 程度であるので、一画素あたりに配置される保持回路の面積はさほど大きくない。従って、第2の実施形態に比較して画素配置をさらに密にし、高精細化することができる。そして、通常動作モード時に高精細な

表示を行った上で、メモリ動作モード時には消費電流を削減して表示を行うことができる。また、メモリ動作モード時に動作させるSRAMは、通常モード時の画素数の1/4である。第2の実施形態と同様、ドレインドライバの動作周波数を低下させることができるだけでなく、走査するゲート信号線51も1/2になるので、ゲートドライバ50の動作周波数も低下させることができるので、第2の実施形態に比較して、メモリ動作モード時の消費電流をさらに削減することができる。

【0067】

次に、本発明の第4の実施形態について説明する。図6に本発明のレイアウト概念図を示す。本実施形態は、カラー表示を行う表示装置である。カラー表示装置の場合、例えばRGB3色の画素を一つの絵素として用いる。図6には、2絵素、6画素が示されている。以下では、各絵素、画素の構成を特に区別する場合、第1の絵素に対応するRGBの画素にはそれぞれR1、G1、B1、第2の絵素はそれぞれR2、G2、B2を図番の後に付記して区別する。

【0068】

各画素には、6つの画素電極17と、これに接続される通常動作回路200が配置されている。通常動作回路200は、図面簡略化のために上記各実施例における回路選択TFT41、画素選択TFT71、回路選択TFT44、補助容量85をまとめて表したものであり、上記各実施形態と構成上の差はない。そして、それぞれ2画素にまたがって保持回路110R、110G、110Bが配置されている。中央の2画素に配置された保持回路110Rは、赤の映像信号に応じたデータを保持する。保持回路110Rは、ドレイン信号線61R2にTFT42Rを介して接続されている。保持回路110Rの出力は、左端と中央のRに対応する画素電極17R1、17R2それぞれにTFT45R1、45R2を介して供給される。ただし、出力の配線は図面簡略のため省略した。同様に、左端の2画素にまたがって配置された保持回路110Gは、緑の映像信号に応じたデータを保持し、ドレイン信号線61G1にTFT42Gを介して接続され、その出力はTFT45G1、45G2を介して画素電極17G1、17G2に供給される。右端の2画素にまたがって配置された保持回路110Bは、青の映像信号

に応じたデータを保持し、ドレイン信号線 6 1 B 2 に T F T 4 2 B を介して接続され、その出力は T F T 4 5 B 1、4 5 B 2 を介して画素電極 1 7 B 1、1 7 B 2 に供給される。

【 0 0 6 9 】

本実施形態の動作について説明する。まず通常動作モード時、6つの画素電極それぞれに、各通常動作回路 2 0 0 を介して接続されるドレイン信号線 6 1 から映像信号が供給され、2 絵素 6 画素として動作する。次に、メモリ動作モード時、ドレイン信号線 6 1 R 2、6 1 G 1、6 1 B 2 から供給される信号を保持回路 1 1 0 R、G、B が保持し、それぞれ T F T 4 5 を介して接続された 2 つの画素電極 1 7 に同じ信号を出力する。従ってメモリ動作時には、図示した画素は、1 絵素 3 画素として動作する。

【 0 0 7 0 】

本実施形態の動作は、上記第 2 の実施形態の動作と比較すれば理解しやすい。即ち、保持回路 1 1 0 は 2 画素に一つ配置され、2 画素で共有されている点で第 2 の実施形態と一致する。第 2 の実施形態と異なる点は、第 2 の実施形態では保持回路 1 1 0 が接続される 2 つの画素電極に重畳していたのに対し、本実施形態では、保持回路 1 1 0 が配置される画素の片方が、別の色の画素であり、保持回路 1 1 0 の配置とその保持回路 1 1 0 が信号を供給する画素電極 1 7 の配置とが異なっていることである。例えば、R に対応する保持回路 1 1 0 R は、画素電極 1 7 B 1 と 1 7 R 2 に重ねて配置されているが、その出力は画素電極 1 7 R 1、1 7 R 2 にされているのである。

【 0 0 7 1 】

このように配置することによって、カラーの表示装置において、通常動作モードにおいては、各画素毎に表示することによって高精細な表示を行い、メモリ動作モードの場合、二つの画素、画素電極 1 7 R 1 と 1 7 R 2 とを、いわば一つの画素として扱う。従って、本実施形態によれば、保持回路 1 1 0 を二つの画素で共有し、画素配置をより密に、高精細にすることができる。そして、メモリ動作モード時は、「画素数」を減らし、消費電力を削減することができる。また、メモリ動作モード時に動作させる S R A M は、通常モード時の画素数の 1 / 2 であ

る。従って、ドレインドライバ60の動作周波数をさらに低くすることも可能であり、各画素にSRAMを配置する第1の実施形態に比較して、メモリ動作モード時の消費電流をさらに削減することができる。また、通常動作モードからメモリ動作モードに移行する時、全ての保持回路110に表示データを書き込む必要があるが、この書き込み時に一定の電力を消費する。保持回路110の数が少なければメモリ動作モードへの移行時の消費電力も削減することができる。

【0072】

ところで、本実施形態において、画素はRGBの順で配置されているのに対し、保持回路110はGRBの順で配置されている。こうすることによって、各色のドレイン信号線61とその色の保持回路110とを隣接して配置することができる。もしも保持回路110の配置順を画素の配置順と同じRGBの順にすると、左端に配置される保持回路110Rと右端に配置される保持回路110Bは、それぞれドレイン配線61R1、61B2と接続することができるが、中央に配置される保持回路110Gは、ドレイン信号線61B1、61R2の間に配置されることになり、どちらかの配線をまたがる配線としなければ、ドレイン信号線61G1、61G2いずれにも接続することができない。これに対し、本実施形態のように、保持回路の配置順をGRBとすれば、全ての保持回路110が重なる画素の片方は、同色であり、保持回路に同色のドレイン信号線61が隣接して配置されるので、ドレイン信号線をまたがる配線をする必要がない。保持回路110の配置順は、RBGの順としてもよい。

【0073】

また、本実施形態において、隣接する画素の通常動作回路200の回路配置は線対称である。即ち、画素電極17R1に接続される通常動作回路200aに対し、画素電極17G1に接続される通常動作回路200bは、回路構成は同じで、画素の列間を軸として線対称に配置されている。そして、例えば画素電極17R1と17G1の間にはドレイン信号線は配置されず、画素電極17G1と17B1との間に2本のドレイン信号線61G1、61B1が配置されている。本実施形態においても、第2の実施形態、図4で説明したように、各画素電極間にドレイン信号線61を配置してもよい。これらの配置には、それぞれ長所と短所が

ある。保持回路 1 1 0 とドレイン信号線 6 1 とが交差すると、ドレイン信号線 6 1 から生じる電界などにより、保持回路 1 1 0 が誤動作する恐れがある。これに対し、図 6 のように配置することで、保持回路 1 1 0 とドレイン信号線 6 1 が交差することを防ぎ、保持回路 1 1 0 の誤動作を防止できる。逆に、ドレイン信号線 6 1 G 1 と 6 1 B 1 とが隣接して配置されるため、この間でカップリングが生じる恐れがある。このため、配線間隔を適切に設定する必要がある。図 4 に示したように各画素間にドレイン信号線 6 1 を配置すれば、カップリングが生じる恐れは少ない。これらの長所と短所は互いに相殺する関係にあるが、生じる問題は、レイアウトや各種膜厚を調整することでも解決できるので、いずれのレイアウトを採用するかは任意である。

【 0 0 7 4 】

次に、本発明の第 5 の実施形態について説明する。図 7 に本発明のレイアウト概念図を示す。本実施形態もカラー表示装置である。図 7 には、4 絵素、12 画素が示されている。以下では、各絵素、画素の構成を特に区別する場合、RGB の色表記と 1 から 12 の数字を図番の後に付記して区別する。各画素には、第 4 の実施形態と同様、通常動作モード時に動作する通常動作回路 2 0 0 が配置され、通常動作モードにおいては上述した各実施形態と同様、各画素毎に動作する。

【 0 0 7 5 】

そして、それぞれ 4 画素にまたがって保持回路 1 1 0 R、1 1 0 G、1 1 0 B が配置されている。中央の 4 画素に配置された保持回路 1 1 0 R は、ドレイン信号線 6 1 R 2 に TFT 4 2 R を介して接続されている。保持回路 1 1 0 R の出力は、左端と中央の列、2 行の 4 つの画素電極 1 7 R 1、1 7 R 2、1 7 R 3、1 7 R 4 それぞれに TFT 4 5 R 1、4 5 R 2、4 5 R 3、4 5 R 4 を介して供給される。ただし、その配線は図面簡略のため省略した。保持回路 1 1 0 G、1 1 0 B についても同様に、それぞれ 4 つの画素電極に出力されている。

【 0 0 7 6 】

本実施形態の動作について説明する。まず通常動作モード時、6 つの画素電極それぞれに、通常動作回路 2 0 0 を介してそれぞれのドレイン信号線 6 1 から映像信号が供給され、4 絵素 12 画素として動作する。次に、メモリ動作モード時

、ドレイン信号線 6 1 R 2、6 1 G 1、6 1 B 2 から供給される信号を保持回路 1 1 0 R、G、B が保持し、それぞれ 4 画素に同じ信号を出力する。従ってメモリ動作時には、図示した画素は、1 絵素 3 画素として動作する。

【 0 0 7 7 】

本実施形態の動作は、上記第 3 の実施形態の動作と比較すれば理解しやすい。即ち、保持回路 1 1 0 は 4 画素に一つ配置され、4 画素で共有されている点で第 3 の実施形態と一致する。そして、本実施形態では、保持回路 1 1 0 R が画素電極 1 7 B 1、B 3、R 2、R 4 に配置され、画素電極 1 7 R 1、R 2、R 3、R 4 に出力する点で異なっている。また、本実施形態と第 4 の実施形態との差違は、第 2、第 3 の実施形態差違と同様である。即ち、2 行目の画素に配置される通常動作回路 2 0 0 c、2 0 0 d は 1 行目の画素に配置される通常動作回路 2 0 0 a、2 0 0 b と同じ構成であり、行間を軸として線対称に配置されている。これによって、4 つの画素の中央に保持回路 1 1 0 を配置するためのスペースを確保している。

【 0 0 7 8 】

本実施形態においても、通常動作モードの場合は、各画素毎に表示を行う。そして、メモリ動作モード時には、4 画素を一つの画素として、画素数を落とした表示を行う。本実施形態において、一つの画素電極に配置されるのは保持回路の $1/4$ 程度であるので、一画素あたりに配置される保持回路の面積はさほど大きくない。従って、第 2 の実施形態に比較して画素配置をさらに密にし、高精細化することができる。そして、通常動作モード時に高精細な表示を行った上で、メモリ動作モード時には消費電流を削減して表示を行うことができる。また、メモリ動作モード時に動作させる S R A M は、通常モード時の画素数の $1/4$ である。第 3 の実施形態と同様、ドレインドライバ 6 0、ゲートドライバ 5 0 の動作周波数を低下させることができるので、第 4 の実施形態に比較して、通常動作モード時からメモリ動作モード時への移行時や、メモリ動作モード時の消費電流をさらに削減することができる。

【 0 0 7 9 】

次に第 6 の実施形態について説明する。第 1 ～ 第 5 の実施形態では、保持回路

110は、全て2値を記憶する1ビットSRAMを例示して説明したが、本発明は、3値以上を記憶する多ビットメモリや、アナログ値を保持するアナログメモリでも同様に実施することができ、より効果的である。図11に示したアクティブマトリクス表示装置は、保持回路110として、4値を記憶する2ビットメモリを有する。2ビットメモリは、2つのSRAMを組み合わせた構成であり、信号A、B、C、Dの互いに異なる4値の参照電圧が入力される。ドレイン信号線61は、各画素61a、61bの2本ずつ配置される。

【0080】

ドレイン信号線61a、61bがハイの時、インバータ回路111、113からロウがトランジスタ120a、b、e、fに出力され、オフとなる。そしてインバータ回路112、114からハイがトランジスタ120c、d、g、hに出力され、オンとなる。それによってトランジスタ120c、gを介して信号Aが液晶21に供給される。同様に、ドレイン信号線61aがハイ、61bがロウの時、トランジスタ120d、eがオンして信号Cが液晶21に供給される。ドレイン信号線61aがロウ、61bがハイの時、トランジスタ120a、hがオンして信号Bが液晶21に供給される。ドレイン信号線61aがロウ、61bがロウの時、トランジスタ120b、fがオンして信号Dが液晶21に供給される。

【0081】

このようにして、保持回路110が保持した4値のデータに基づいて信号A、B、C、Dを選択して液晶21に供給することで、4階調の画像を得ることができる。なお、図11において、通常動作回路200は、図面簡略化のために図示を省略したが、図2、4、5、6、7に示したレイアウトと全く同様、複数画素に配置し、高精細化、省電力化することができる。

【0082】

図1と図11とを比較すれば明らかなように、一般的に保持回路110を多値化すると、回路規模は大きくなる。しかし、4画素で1つの保持回路110を共有すれば、画素サイズを縮小し、通常動作モードでの高精細表示が可能となる。大きな回路面積を必要とする保持回路110を複数画素で共有するという本発明の技術的思想は、より回路規模が大きい多値の保持回路110に適用してさらに

効果的であるといえる。

【 0 0 8 3 】

また、上記実施形態を比較すれば明らかなように、保持回路 1 1 0 をいくつかの画素で共有するかは、任意である。より多くの画素で保持回路 1 1 0 を共有すれば、一面素あたりに配置する保持回路 1 1 0 の面積を縮小でき、画素電極をより密に配置することができ、通常動作時の表示をより高精細にすることができる。また、より多くの画素で保持回路 1 1 0 を共有すれば、メモリ動作時に動作させる保持回路 1 1 0 の数を少なくすることができるので、その分だけメモリ動作時の消費電力を削減することができる。もちろん、保持回路 1 1 0 の数が少なくなれば、メモリ動作モード時における表示「画素数」は少なくなるので、メモリ動作モード時の表示品質は低下する。いくつかの画素で保持回路 1 1 0 を共有するかは、通常動作モード時とメモリ動作モード時との表示品質、消費電流とを比較して最適に選択すればよい。ただし、行方向に並んだ 3 画素で一つの保持回路 1 1 0 を配置すると、保持回路 1 1 0 のためのスペースが行方向に長い領域となるため、2 画素、もしくは 4 画素で 1 つの保持回路 1 1 0 を配置するのが最適である。

【 0 0 8 4 】

また、上記実施形態では、保持回路 1 1 0 を複数画素に 1 つ配置し、この出力を複数の画素電極 1 7 に供給し、メモリ動作モードにおいて擬似的に「画素数」を減らした実施形態を説明したが、保持回路 1 1 0 の出力を 1 つの画素電極 1 7 に出力し、残りの画素電極は一定の電圧を印加して黒表示に固定してもよい。（ノーマリーブラックの場合は残りの画素電極を接地して黒に固定する。）こうすれば、保持回路 1 1 0 の出力を 1 つの画素電極のみに配線し、他の画素に接続する配線を省略することができ、回路面積をさらに縮小し、通常動作モード時の表示をさらに高精細化することができる。もちろん、黒に固定される画素によって、表示は全体的に暗くなるが、そもそもメモリ動作モードは、携帯電話などで一定時間走査されなかったときに、消費電力を削減するためのモードであり、メモリ動作モードにおいて画面が暗くなっても問題とならない場合が多い。しかも、メモリ動作モード時に、表示する画素の実数を減らすことによって、保持回路 1

10の出力である信号Aの駆動能力が低くても動作可能となるため、さらに消費電力を削減することができる。

【0085】

上記実施形態において、保持回路110が重畳する画素電極17の少なくとも一つはその保持回路が接続される画素電極17として説明したが、保持回路110の配置は、画素電極17の配置と一致させる必要は必ずしもない。ただし、あまり保持回路110と画素電極17との距離を遠くに配置すると、接続する配線が長くなり、レイアウトがしにくい上、配線でノイズを拾う可能性がある。従って、保持回路110が重畳する画素電極17の少なくとも一つはその保持回路が接続される画素電極17とした方が、より好適である。

【0086】

上記実施形態では、反射型LCDを用いて説明したが、もちろん透過型LCDに適用し、透明な画素電極と保持回路とを重畳して配置することも可能である。しかし透過型LCDでは、金属配線が配置されているところは遮光されるので、開口率の低下が避けられない。また、透過型LCDで画素電極の下に保持回路を配置すると、透過する光によって保持回路や選択回路のトランジスタが誤動作する恐れがあるため、全てのトランジスタのゲート上に遮光膜を儲ける必要がある。従って、透過型LCDでは開口率を高くすることが困難である。これに対し、反射型LCDは、画素電極下にどのような回路が配置されても開口率に影響を与えることはない。更に、透過型の液晶表示装置のように、観察者側と反対側にいわゆるバックライトを用いる必要が無いため、バックライトを点灯させるための電力を必要としない。保持回路付きLCDのそもそもの目的が消費電力の削減であるから、本発明の表示装置としては、バックライト不要で低消費電力化に適した反射型LCDであることが好ましい。

【0087】

また、上記実施形態は、液晶表示装置を用いて説明したが、本発明はこれにとられるものではなく、有機EL表示装置や、LED表示装置など、様々な表示装置に適用することができる。

【0088】

【発明の効果】

以上に説明したように、本発明のアクティブマトリクス型表示装置は、保持回路が、例えば2画素、4画素といった複数画素に1つ配置され、保持回路の一つからの出力は、複数の画素電極に供給されるので、回路面積を必要とする保持回路の数を削減でき、画素電極をより密に配置できるので、通常動作モード時の表示を高精細にすることができる。

【0089】

また、メモリ動作モード時の表示画素数は通常動作モード時の表示画素数よりも少ないので、メモリ動作モード時に動作させる保持回路が少なく、通常動作モードからメモリ動作モードへの移行時及びメモリ動作モード時の消費電力を削減できる。

【0090】

さらに、前記保持回路は3値以上のデータを保持する多ビットのメモリであるので、保持回路の回路規模が大きいため、より顕著な効果を奏することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示す回路図である。

【図2】

本発明の第1の実施形態の平面レイアウトを示す概念図である。

【図3】

本発明の実施形態の断面図である。

【図4】

本発明の第2の実施形態の平面レイアウトを示す概念図である。

【図5】

本発明の第3の実施形態の平面レイアウトを示す概念図である。

【図6】

本発明の第4の実施形態の平面レイアウトを示す概念図である。

【図7】

本発明の第 5 の実施形態の平面レイアウトを示す概念図である。

【図 8】

液晶表示装置の 1 画素を示す回路図である。

【図 9】

従来の保持回路付き表示装置を示す回路図である。

【図 1 0】

従来の保持回路付き液晶表示装置の 1 画素を示す回路図である。

【図 1 1】

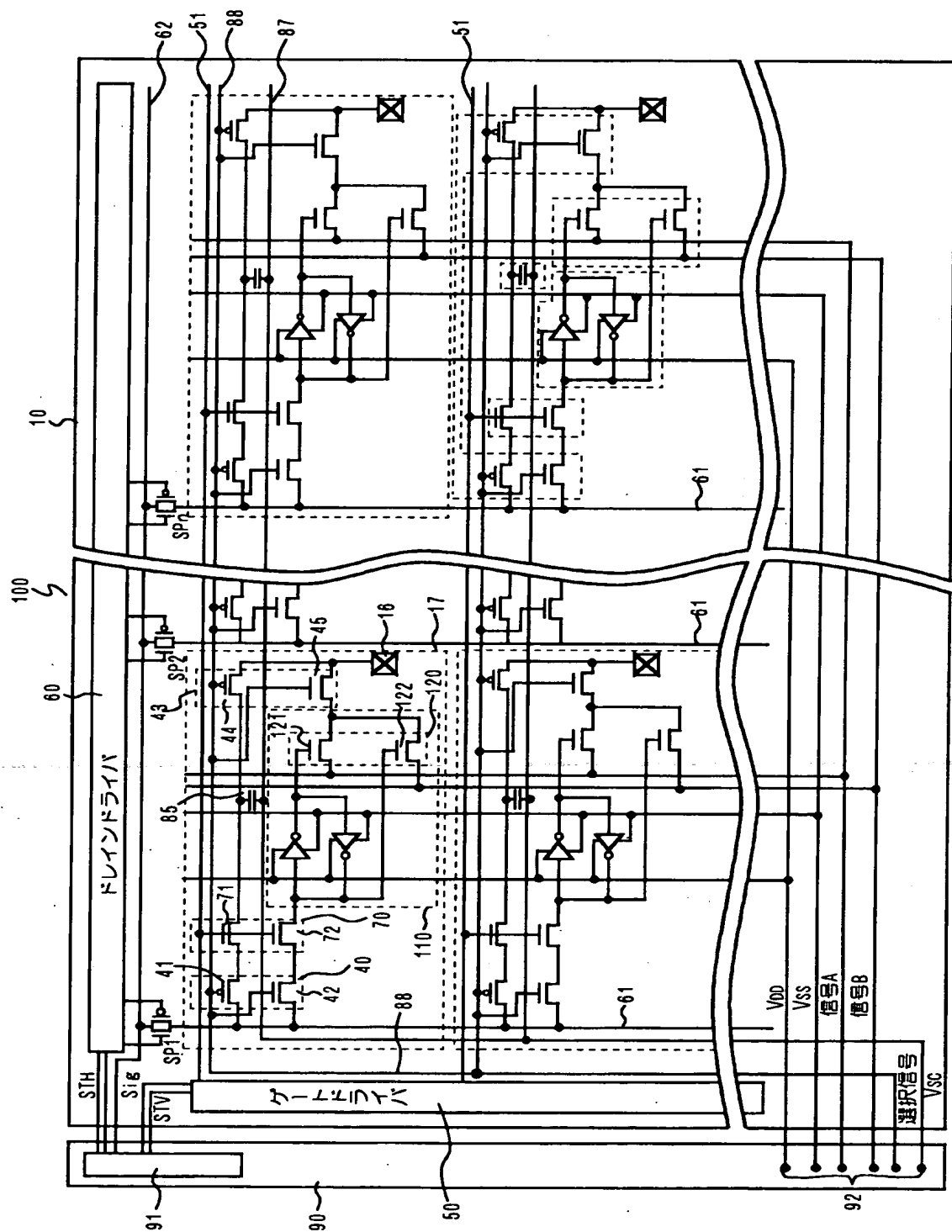
本発明の第 6 の実施形態を示す回路図である。

【符号の説明】

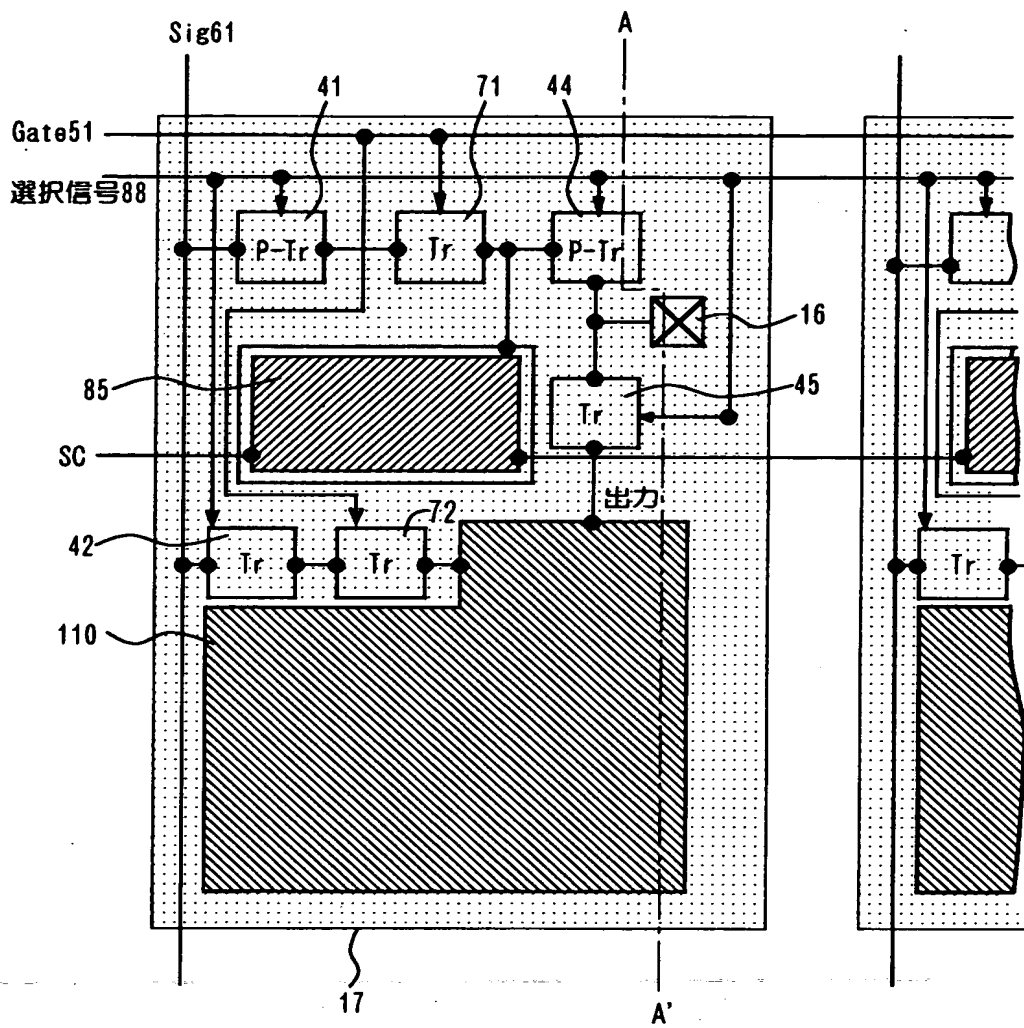
- 1 7 画素電極
- 4 0、4 3 回路選択回路
- 7 0 画素選択回路
- 8 5 補助容量
- 1 1 0 保持回路

【書類名】 図面

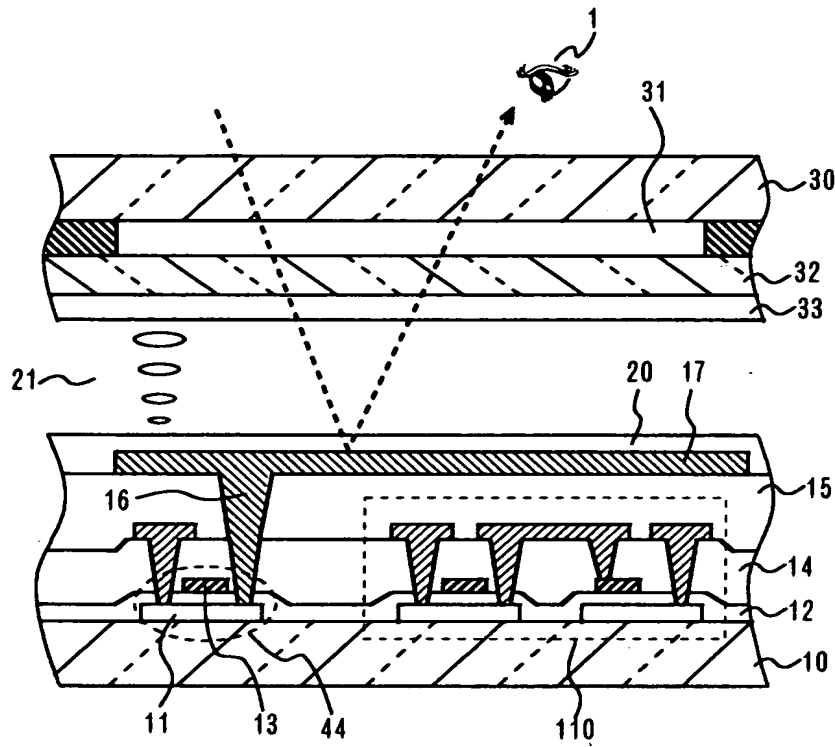
【図 1】



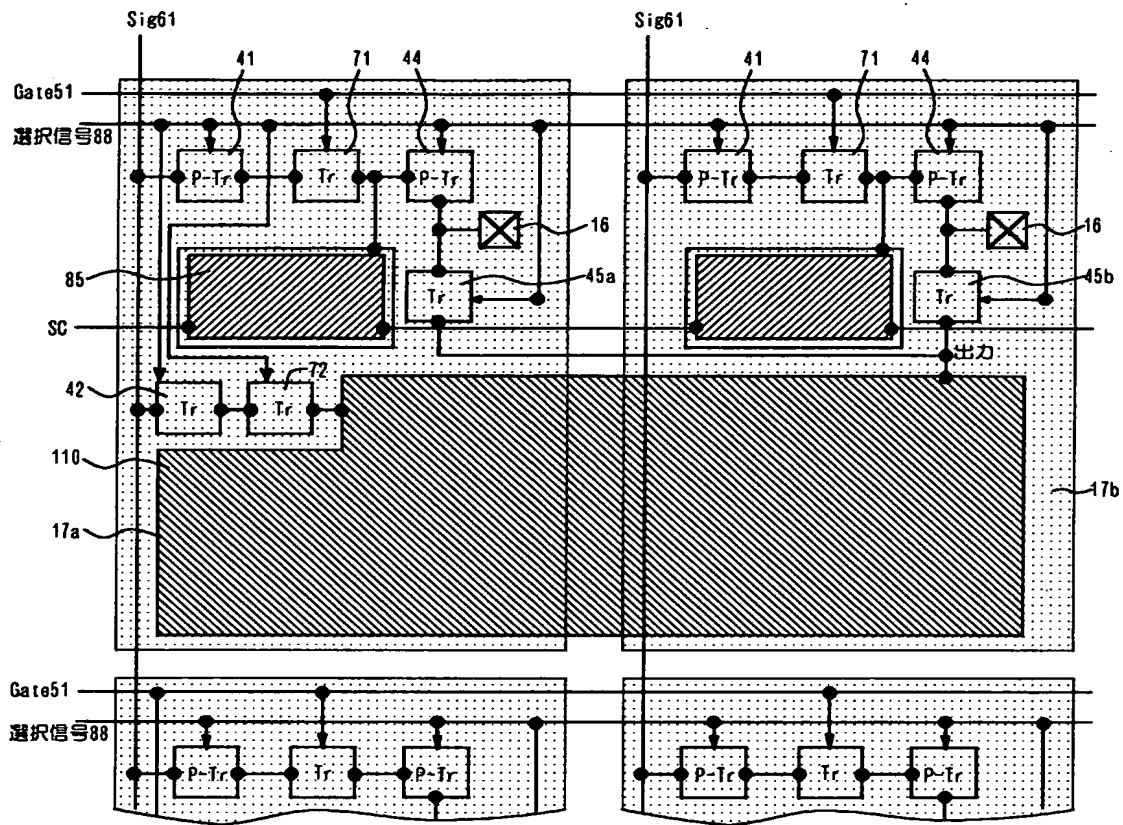
【図 2】



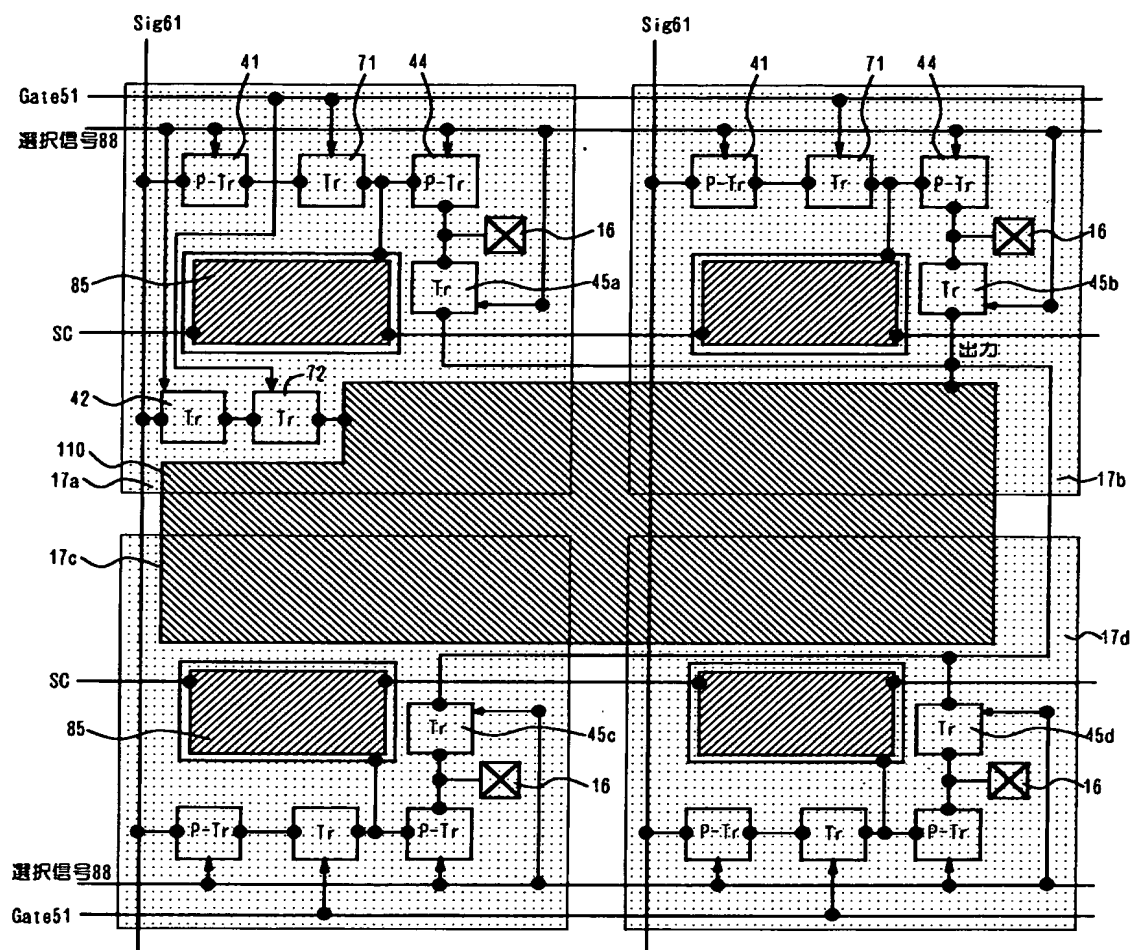
【図 3】



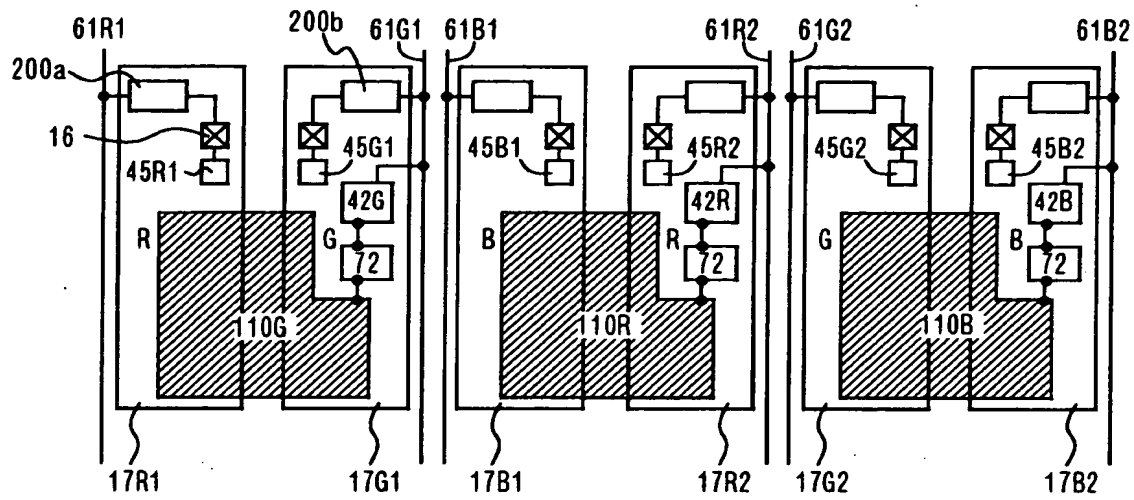
【図 4】



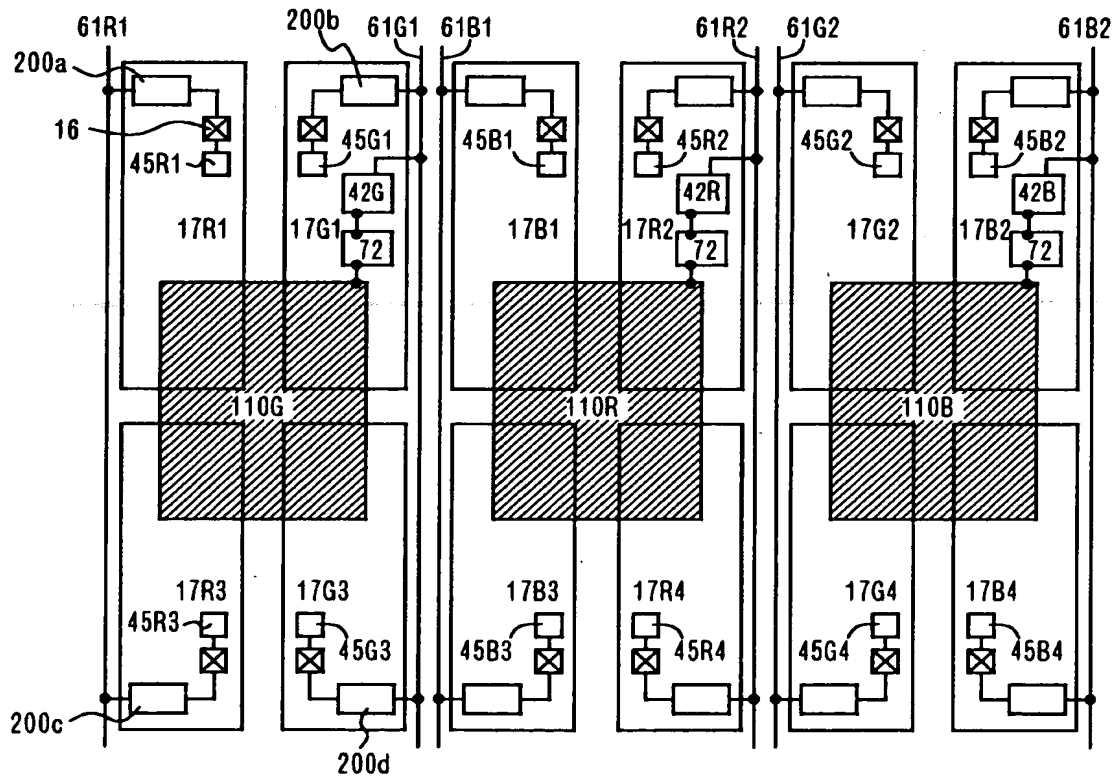
【図 5】



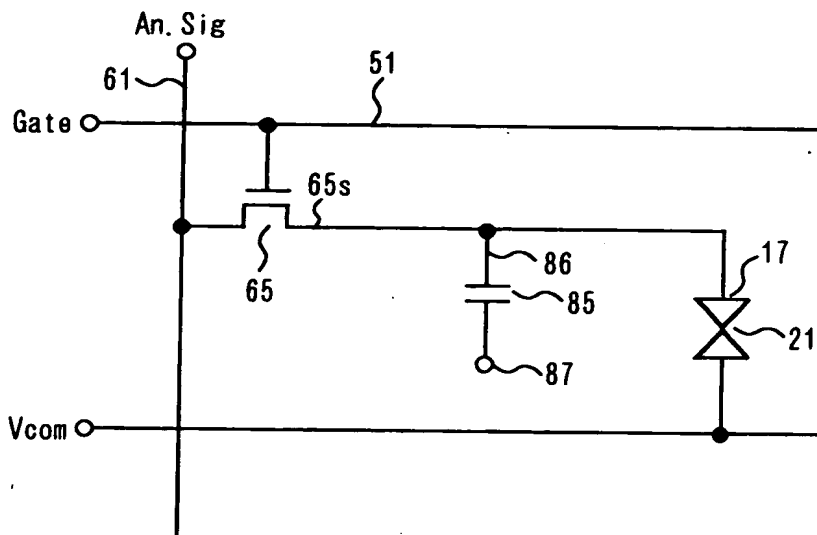
【図 6】



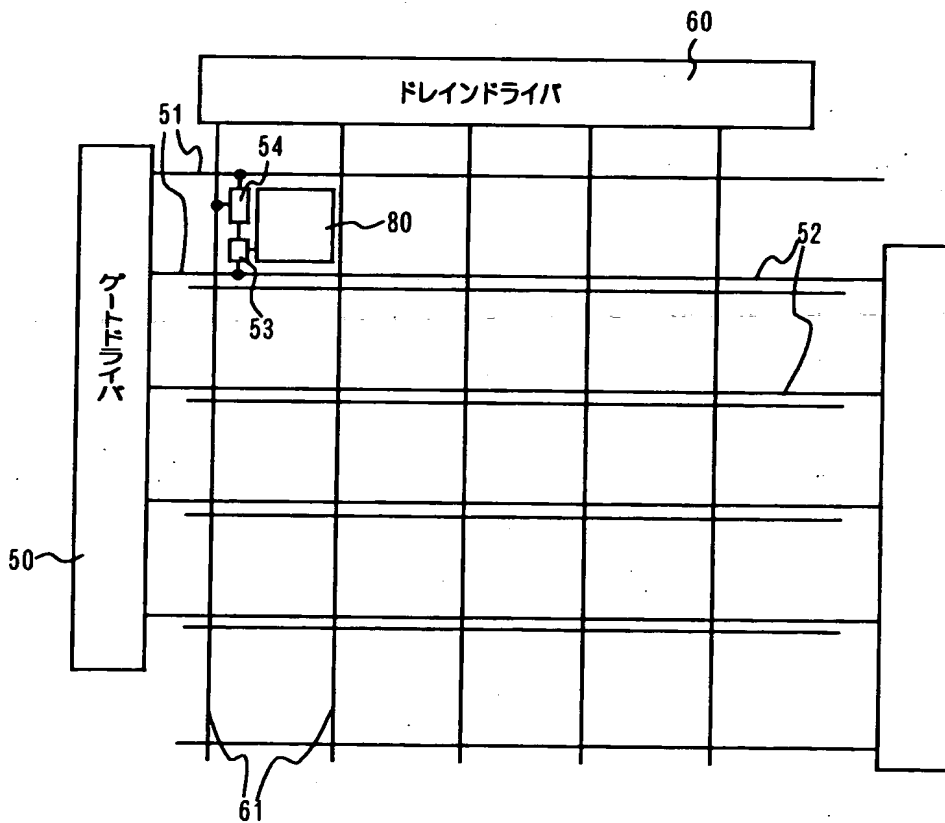
【図 7】



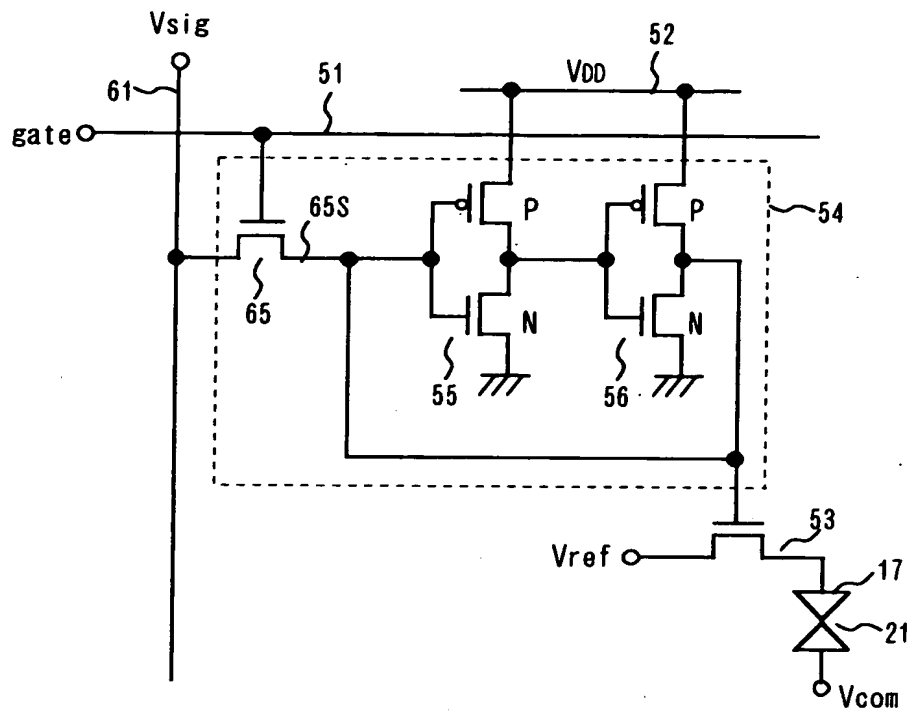
【図 8】



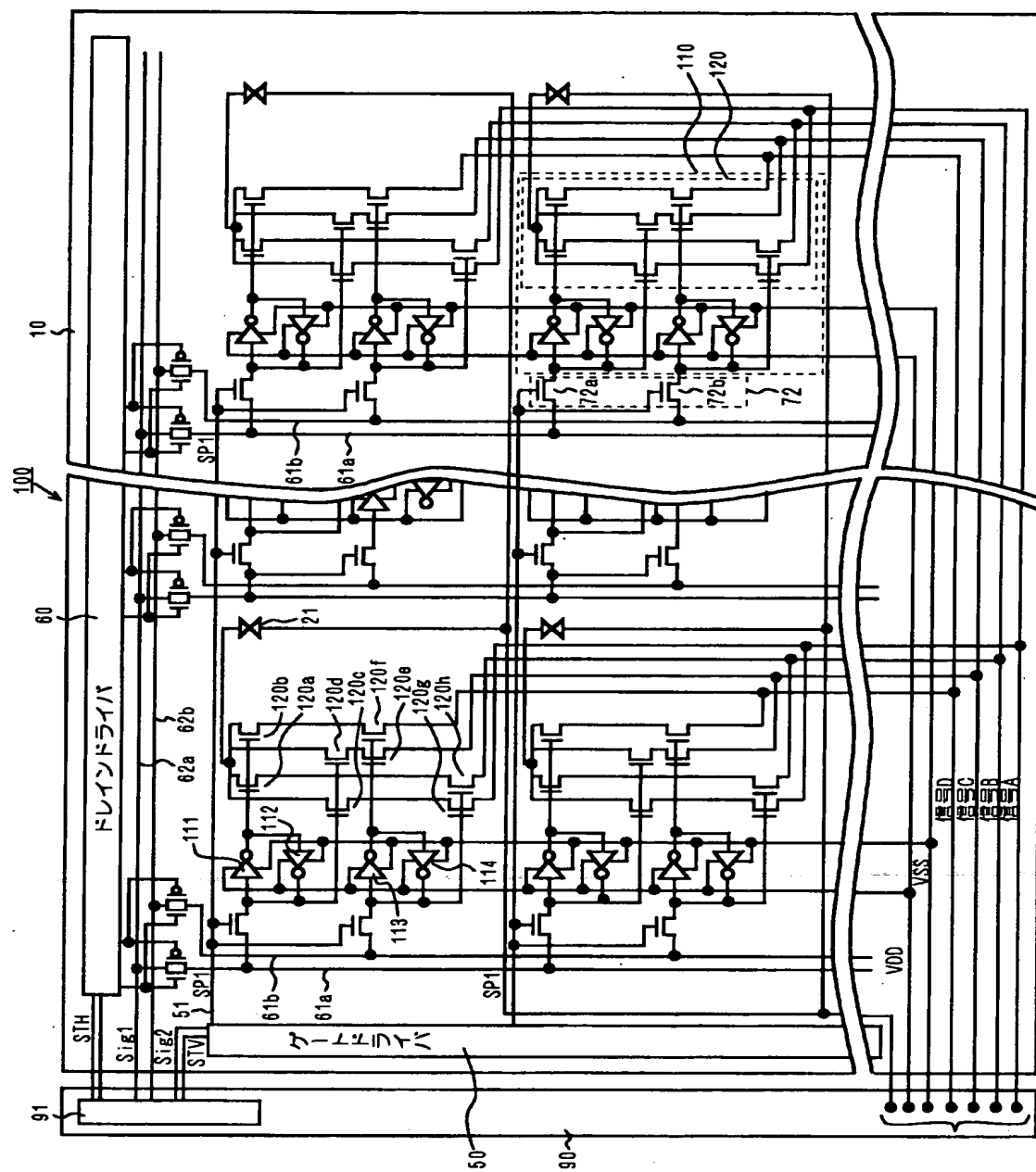
【図 9】



【図 1 0】



【図11】



【書類名】 要約書

【要約】

【課題】 アクティブマトリクス型表示装置の低消費電力化と同時に回路の高精細化を図る。

【解決手段】 複数画素（2画素、4画素）に1つの割合で映像信号を保持する保持回路110を配置し、通常動作モードとメモリ動作モードを切り換えて表示する。保持回路110はSRAMである。SRAMは回路面積が大きいので、複数画素で共用し、メモリ動作モード時には「画素数」を減らして表示する。これによって、1画素の面積を縮小できるようになるので、通常動作モードにおいてより高精細な表示を行うことができる。また、保持回路110の数を減らすことによって、保持回路110を各画素に配置した場合に比較して、メモリ動作モード時の消費電力をさらに削減することができる。

【選択図】 図1

出 願 人 履 歷 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社